

Modulbezeichnung	Parallele und verteilte eingebettete Systeme								
Modulverantwortliche(r)	PD Dr. St. Bosse								
Modulart	Pflicht/Wahl <input type="checkbox"/> Wahlpflicht <input checked="" type="checkbox"/>								
Spezialisierungsbereich	Automatisierung und Robotik, Mechatronik, Systemsoftware / Eingebettete Systeme, Produktionstechnik, Raumfahrt-Systemtechnik								
Dauer des Moduls	1 Semester								
Kreditpunkte	6 CP								
Arbeitsaufwand	<table> <tr> <td colspan="2">Berechnung des Workloads</td> </tr> <tr> <td>Präsenz</td> <td>56 h</td> </tr> <tr> <td>Übungsbetrieb/Prüfungsvorbereitung</td> <td>124 h</td> </tr> <tr> <td>Summe</td> <td>180 h</td> </tr> </table>	Berechnung des Workloads		Präsenz	56 h	Übungsbetrieb/Prüfungsvorbereitung	124 h	Summe	180 h
Berechnung des Workloads									
Präsenz	56 h								
Übungsbetrieb/Prüfungsvorbereitung	124 h								
Summe	180 h								
Turnus des Moduls	i. d. R. angeboten alle 2 Semester								
Voraussetzung für die Teilnahme	Keine <input checked="" type="checkbox"/> Folgende								
Lehr- und Lernformen	Seminar <input type="checkbox"/> Vorlesung <input checked="" type="checkbox"/> Tutorium <input checked="" type="checkbox"/> Praktikum <input type="checkbox"/> Projekt <input type="checkbox"/>								
Lernziele	<ul style="list-style-type: none"> • Verständnis der Funktionsweise und Entwurf von paralleler Datenverarbeitung • Verständnis von parallelen Programmen und Rechnerarchitekturen • Klassische Parallelrechner-Architekturen sollen auf Hardware-Ebene abgebildet und skaliert werden können • Einsatz klassischer Multi-Prozeß-Modelle mit Interprozeß-Kommunikation für die Abbildung und Synthese von Algorithmen auf Hardware • Verständnins und Anwendung von Kommunikation und Synchronisation in parallelen und verteilten Systemen • Abbildung von Kommunikation auf Schaltkreise • Verständins von System-On-Chip (SoC) Lösungen • High-level Syntheseverfahren auf Programmiersprachenebene als zukunftsfähiges Entwurfswerkzeug für komplexe SoC • Praktische Anwendung der Vorlesungsinhalte in der Übung (Grundlagen des Entwurfs von nebenläufigen Prozessen und Datenverarbeitung sowie Kommunikation mit Simulator CPV und Multi-Agenten Simulator SeSaM) 								

Lerninhalte	<ul style="list-style-type: none"> ● Multiprozeß-Modelle (Multi-Threading) bei generischen Prozessoren und Skalierung auf anwendungsspezifische Logiksysteme ● Multiprozeß-Architekturen (Parallel-Rechner) mit generischen Prozessoren und Skalierung auf RTL und anwendungsspezifische Logiksysteme ● Interprozeß-Kommunikation {Mutex, Semaphore, Event, Queue, Barrier, Channel} in Software und Abbildung auf RTL und Hardware-Ebene ● Parallele Algorithmen in Soft- und Hardware ● Parallel-Architekturen in Hardware: RTL, SoC und FPGAs ● Netzwerkstrukturen und Topologien, adaptiert für SoC-Entwürfe ● Logik- und algorithmische Highlevel-Synthese-Verfahren ● Pipeline-Architekturen in funktionalen und reaktiven Systemen
Prüfungsformen	Erfolgreiche Bearbeitung von Übungsaufgaben und mündliche Prüfung
Literatur	<ul style="list-style-type: none"> ● Stefan Bosse: Hardware-Entwurf von parallelen Systemen, Logik- & High-Level-Synthese, Skript, 2. Auflage (2013) ● David C. Ku & Giovanni De Micheli: High Level Synthesis Under Timing and Synchronization Constraints, Kluwer, (1992)