

| | | | | | | | | | | | | | | | | | | | | |
|---|--------------------------|--|---|--|---|----|---------------------------|---|---|-------|-----------|------------------------------|--|--------------------------|-------------------------------|--------------------------|--|---------------------------------------|--------------------------|--------------------------|
| Parallele und verteilte eingebettete Systeme: Entwurf und Modellierung paralleler Systeme mit dem CSP Modell und Digitallogik <i>Parallel and Distributed Embedded Systems</i> | | | | | | | Modulnummer: ME-712.06 | | | | | | | | | | | | | |
| Master Pflicht/Wahl <input type="checkbox"/> Wahl <input checked="" type="checkbox"/> Basis <input type="checkbox"/> Ergänzung <input checked="" type="checkbox"/> Sonderfall <input type="checkbox"/> | | | | Zugeordnet zu Masterprofil <table border="0"> <tr> <td></td> <td style="text-align: right;">Basis</td> <td style="text-align: right;">Ergänzung</td> </tr> <tr> <td>Sicherheit und Qualität (SQ)</td> <td style="text-align: right;"><input type="checkbox"/></td> <td style="text-align: right;"><input type="checkbox"/></td> </tr> <tr> <td>KI, Kognition, Robotik (KIKR)</td> <td style="text-align: right;"><input type="checkbox"/></td> <td style="text-align: right;"><input checked="" type="checkbox"/></td> </tr> <tr> <td>Digitale Medien und Interaktion (DMI)</td> <td style="text-align: right;"><input type="checkbox"/></td> <td style="text-align: right;"><input type="checkbox"/></td> </tr> </table> | | | | | | Basis | Ergänzung | Sicherheit und Qualität (SQ) | <input type="checkbox"/> | <input type="checkbox"/> | KI, Kognition, Robotik (KIKR) | <input type="checkbox"/> | <input checked="" type="checkbox"/> | Digitale Medien und Interaktion (DMI) | <input type="checkbox"/> | <input type="checkbox"/> |
| | Basis | Ergänzung | | | | | | | | | | | | | | | | | | |
| Sicherheit und Qualität (SQ) | <input type="checkbox"/> | <input type="checkbox"/> | | | | | | | | | | | | | | | | | | |
| KI, Kognition, Robotik (KIKR) | <input type="checkbox"/> | <input checked="" type="checkbox"/> | | | | | | | | | | | | | | | | | | |
| Digitale Medien und Interaktion (DMI) | <input type="checkbox"/> | <input type="checkbox"/> | | | | | | | | | | | | | | | | | | |
| Modulbereich: Praktische und Technische Informatik Modulteilbereich: 712 Robotik | | | | | | | | | | | | | | | | | | | | |
| Anzahl der SWS | | <table border="1"> <tr> <td>V</td> <td>UE</td> <td>K</td> <td>S</td> </tr> <tr> <td>2</td> <td>2</td> <td>0</td> <td>0</td> </tr> </table> | | | V | UE | K | S | 2 | 2 | 0 | 0 | Prakt. Proj. Σ 0 0 4 | | Kreditpunkte: 6 | | Turnus i. d. R. angeboten alle 2 Semester | | | |
| V | UE | K | S | | | | | | | | | | | | | | | | | |
| 2 | 2 | 0 | 0 | | | | | | | | | | | | | | | | | |
| Formale Voraussetzungen: - | | | | | | | | | | | | | | | | | | | | |
| Inhaltliche Voraussetzungen: - | | | | | | | | | | | | | | | | | | | | |
| Vorgesehenes Semester: ab 1. Semester | | | | | | | | | | | | | | | | | | | | |
| Sprache: Deutsch | | | | | | | | | | | | | | | | | | | | |
| Ziele: <ul style="list-style-type: none"> • Verständnis der Funktionsweise und Entwurf von paralleler Datenverarbeitung • Verständnis von parallelen Programmen und Rechnerarchitekturen • Klassische Parallelrechner-Architekturen sollen auf Hardware-Ebene abgebildet und skaliert werden können • Einsatz klassischer Multi-Prozeß-Modelle mit Interprozeß-Kommunikation für die Abbildung und Synthese von Algorithmen auf Hardware • Verständnins und Anwendung von Kommunikation und Synchronisation in parallelen und verteilten Systemen • Abbildung von Kommunikation auf Schaltkreise • Verständins von System-On-Chip (SoC) Lösungen • High-level Syntheseverfahren auf Programmiersprachenebene als zukunftsfähiges Entwurfswerkzeug für komplexe SoC • Praktische Anwendung der Vorlesungsinhalte in der Übung (Grundlagen des Entwurfs von nebenläufigen Prozessen und Datenverarbeitung sowie Kommunikation mit Simulator CPV und Multi-Agenten Simulator SeSaM) | | | | | | | | | | | | | | | | | | | | |
| Inhalte: <ul style="list-style-type: none"> • Multiprozeß-Modelle (Multi-Threading) bei generischen Prozessoren und Skalierung auf anwendungsspezifische Logiksysteme • Multiprozeß-Architekturen (Parallel-Rechner) mit generischen Prozessoren und Skalierung auf RTL und anwendungsspezifische Logiksysteme • Interprozeß-Kommunikation {Mutex, Semaphore, Event, Queue, Barrier, Channel} in Software und Abbildung auf RTL und Hardware-Ebene • Parallele Algorithmen in Soft- und Hardware • Parallel-Architekturen in Hardware: RTL, SoC und FPGAs • Netzwerkstrukturen und Topologien, adapdiert für SoC-Entwürfe • Logik- und algorithmische Highlevel-Synthese-Verfahren • Pipeline-Architekturen in funktionalen und reaktiven Systemen | | | | | | | | | | | | | | | | | | | | |
| Unterlagen (Skripte, Literatur, Programme usw.): <ul style="list-style-type: none"> • Stefan Bosse: Hardware-Entwurf von parallelen Systemen, Logik- & High-Level-Synthese, Skript, 2. Auflage (2013) • David C. Ku & Giovanni De Micheli: High Level Synthesis Under Timing and Synchronization Constraints, Kluwer, (1992) | | | | | | | | | | | | | | | | | | | | |
| Form der Prüfung: Erfolgreiche Bearbeitung von Übungsaufgaben und mündliche Prüfung | | | | | | | | | | | | | | | | | | | | |

| | | |
|-------------------------------|------------------------------------|-------------------------------------|
| Arbeitsaufwand | Präsenz | 56 h |
| | Übungsbetrieb/Prüfungsvorbereitung | 124 h |
| | Summe | 180 h |
| Lehrende: PD Dr. St. Bosse | | Verantwortlich: PD Dr. St. Bosse |