

<b>Entwurf eingebetteter Systeme mit Digitallogik</b> <i>Design of Embedded Systems with Digitallogic</i>								Modulnummer:	
Bachelor Pflicht <input type="checkbox"/> Winf-Schwerpunkt-Pflicht <input type="checkbox"/> Winf-Schwerpunkt-Wahlpflicht <input type="checkbox"/> Winf-Wahl <input type="checkbox"/>				Schwerpunkt Computational Finance <input type="checkbox"/> E-Business <input type="checkbox"/> IT-Management <input type="checkbox"/> Logistik <input type="checkbox"/>					
Anzahl der SWS	V 2	UE 2	K 0	S 0	Prak. 0	Proj. 0	$\Sigma$ 4	Kreditpunkte: 6	Turnus i. d. R. angeboten alle 2 Semester
Formale Voraussetzungen: -									
Inhaltliche Voraussetzungen: -									
Vorgesehenes Semester: ab 1. Semester									
Sprache: Deutsch									
<p>Ziele: • Verständnis der anwendungsspezifischen Digitallogik für den Hardware-Entwurf als Erweiterung und Ergänzung zum Software-Entwurf</p> <ul style="list-style-type: none"> <li>• Grundlegende Kenntnisse der Funktionsweise von Digitallogiksystemen</li> <li>• Entwurf und Abbildung von Schaltnetzen auf boolesche Algebra</li> <li>• Kenntnisse über Optimierung von Digitallogiksystemen</li> <li>• Einführung der Register-Transfer-Logik Architektur als wesentliche Architektur und Entwurfsmethode für die Datenverarbeitung</li> <li>• Abbildung von klassischen Programmen auf RTL mit Daten- und Kontrollpfadpartitionierung</li> <li>• Kenntnisse über programmierbare Digitallogikschaltungen (CPLD/FPGA/ASIC)</li> <li>• Fähigkeit zum Modellieren von Digitallogiksystemen und Abbildung von Algorithmen auf RT-Ebene sowie mit der Hardware-Beschreibungssprache VHDL</li> <li>• Aufzeigen der Möglichkeiten der Parallelisierung von Algorithmen durch Digitallogiksysteme</li> <li>• Der Übungsanteil soll die praktische Umsetzung des in der Vorlesung erworbenen Wissens vermitteln und deren Anwendung an Beispielen üben (z.B. Algorithmen auf RTL abbilden mit Verwendung des ReTrO Simulators)</li> </ul>									
<p>Inhalte: • Digitallogik, Boolesche Algebra, Boolesche Funktionen • Konjunktive- und Disjunktive Normalformen, Ableitungen aus Schaltbedingungen</p> <ul style="list-style-type: none"> <li>• Technologische Umsetzung mit Transistoren</li> <li>• Darstellung von booleschen Funktionen und Schaltnetzen mittels grafischer Methoden und Optimierung (KV-Diagramme)</li> <li>• Systematische Darstellung und Optimierung von booleschen Funktionen mittels Binary Decision Diagrams (BDD)</li> <li>• Programmierbare Digitallogik für Rapid Prototyping: Systematik und Aufbau Abbildung von Und-Oder-Matrizen auf verschiedene Technologien: RAM/PAL/GAL/CPLD/FPGA/ASIC</li> <li>• Verwendung von hoch-integrierten Field-Programmable-Gate-Arrays (FPGA)</li> <li>• Standardzellen-ASIC: Architektur und Entwurfsmethoden</li> <li>• Hardware-Entwurfsmethodik und Syntheseverfahren im Überblick, Ebenen des Logikentwurfs</li> <li>• Kombinatorische Logiksysteme</li> <li>• Sequenzielle Logiksysteme</li> <li>• Systementwurf mit Register-Transfer-Logik (RTL) Architekturen</li> <li>• Abbildung von Algorithmen auf Daten- und Kontrollpfade und Umsetzung mittels RTL (+ Scheduling &amp; Allokation des Datenpfades)</li> <li>• Laufzeitprobleme in elektronischen Systemen oder warum die Formale Verifikation nur graue Theorie sein kann</li> <li>• Zustandsautomaten (Moore- und Mealy) und ihre Anwendung</li> <li>• Beschreibung und Modellierung von Digitallogiksystemen mittels einer Hardware-Beschreibungssprache (VHDL)</li> </ul>									

Unterlagen (Skripte, Literatur, Programme usw.):

1. Stefan Bosse Anwendungsspezifische (programmierbare) Digitallogik und VHDL-Synthese Skript, 3. Auflage (2012)
2. Michael D. Ciletti Advanced Digital Design with the Verilog VHDL Prentice Hall, (2003)
3. J. Reichardt, B. Schwarz VHDL-Synthese Oldenbourg Verlag (2003)

Form der Prüfung:

Erfolgreiche Bearbeitung von Übungsaufgaben und mündliche Prüfung

Arbeitsaufwand	Präsenz	56 h
	Übungsbetrieb/Prüfungsvorbereitung	124 h
	Summe	180 h

Lehrende:

PD Dr. St. Bosse

Verantwortlich:

PD Dr. St. Bosse